

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 3月17日
Date of Application:

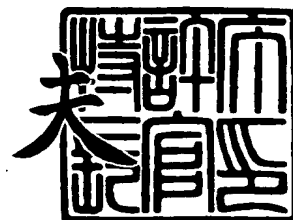
出願番号 特願2003-072565
Application Number:
[ST. 10/C]: [JP2003-072565]

出願人 セイコーエプソン株式会社
Applicant(s):

2003年10月30日

特許庁長官
Commissioner,
Japan Patent Office

今井 康夫



出証番号 出証特2003-3090002

【書類名】 特許願

【整理番号】 J0097442

【提出日】 平成15年 3月17日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 25/065

【発明者】

 【住所又は居所】 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

 【氏名】 澤本 俊宏

【特許出願人】

 【識別番号】 000002369

 【氏名又は名称】 セイコーエプソン株式会社

【代理人】

 【識別番号】 100066980

 【弁理士】

 【氏名又は名称】 森 哲也

【選任した代理人】

 【識別番号】 100075579

 【弁理士】

 【氏名又は名称】 内藤 嘉昭

【選任した代理人】

 【識別番号】 100103850

 【弁理士】

 【氏名又は名称】 崔 秀▲てつ▼

【手数料の表示】

 【予納台帳番号】 001638

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1



【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0014966

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置、電子デバイス、電子機器、半導体装置の製造方法および電子デバイスの製造方法

【特許請求の範囲】

【請求項 1】 第 1 半導体チップが搭載された第 1 半導体パッケージと、
前記第 1 半導体チップ上に端部が配置されるようにして、前記第 1 半導体パッケージ上に支持された第 2 半導体パッケージと、
前記第 2 半導体パッケージの端部を前記第 1 半導体チップ上で支持する第 1 突出部とを備えることを特徴とする半導体装置。

【請求項 2】 前記第 1 半導体チップ上に端部が配置されるようにして、前記第 1 半導体パッケージ上に支持された第 3 半導体パッケージと、
前記第 3 半導体パッケージの端部を前記第 1 半導体チップ上で支持する第 2 突出部とをさらに備えることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記第 2 半導体パッケージと前記第 3 半導体パッケージとは離間していることを特徴とする請求項 2 記載の半導体装置。

【請求項 4】 前記第 2 半導体パッケージと前記第 3 半導体パッケージとは、サイズ、厚みまたは材質の少なくともいずれか 1 つが異なることを特徴とする請求項 2 または 3 記載の半導体装置。

【請求項 5】 前記第 2 半導体パッケージと前記第 3 半導体パッケージとの間の隙間、第 1 半導体パッケージと前記第 2 半導体パッケージとの間の隙間、または第 1 半導体パッケージと前記第 3 半導体パッケージとの間の隙間の少なくともいずれか 1 つの隙間には樹脂が充填されていることを特徴とする請求項 2 ～ 4 のいずれか 1 項記載の半導体装置。

【請求項 6】 前記第 1 半導体パッケージは、
前記第 1 半導体チップがフリップチップ実装された第 1 キャリア基板を備え、
前記第 2 半導体パッケージは、
第 2 半導体チップと、
前記第 2 半導体チップが実装された第 2 キャリア基板と、
前記第 1 キャリア基板上に接合され、前記第 1 半導体チップ上に前記第 2 キャ

リア基板を保持する突出電極と、

前記第 2 半導体チップを封止する封止材とを備えることを特徴とする請求項 1 ～ 5 のいずれか 1 項記載の半導体装置。

【請求項 7】 前記第 1 半導体パッケージは、前記第 1 キャリア基板上に前記第 1 半導体チップがフリップチップ実装されたボールグリッドアレイ、前記第 2 半導体パッケージは、前記第 2 キャリア基板上に搭載された前記第 2 半導体チップがモールド封止されたボールグリッドアレイまたはチップサイズパッケージであることを特徴とする請求項 6 記載の半導体装置。

【請求項 8】 前記突出電極は、前記第 1 半導体チップの搭載領域を避けるようにして前記第 2 キャリア基板に配置され、前記突出部は、前記第 2 キャリア基板が四隅で支えられるように配置されていることを特徴とする請求項 6 または 7 記載の半導体装置。

【請求項 9】 前記第 1 半導体チップは論理演算素子、前記第 2 半導体チップは記憶素子であることを特徴とする請求項 5 ～ 8 のいずれか 1 項記載の半導体装置。

【請求項 10】 前記第 2 半導体チップは 3 次元実装構造を含むことを特徴とする請求項 5 ～ 9 のいずれか 1 項記載の半導体装置。

【請求項 11】 電子部品が搭載された第 1 パッケージと、
前記電子部品上に端部が配置されるようにして、前記第 1 パッケージ上に支持された第 2 パッケージと、

前記第 2 パッケージの端部を前記電子部品上で支持する突出部とを備えることを特徴とする電子デバイス。

【請求項 12】 半導体チップが搭載された第 1 半導体パッケージと、
前記半導体チップ上に端部が配置されるようにして、前記第 1 半導体パッケージ上に支持された第 2 半導体パッケージと、

前記第 2 半導体パッケージの端部を前記半導体チップ上で支持する突出部と、
前記第 2 半導体パッケージが実装されたマザー基板とを備えることを特徴とする電子機器。

【請求項 13】 第 1 キャリア基板上に第 1 半導体チップを実装する工程と

第2キャリア基板上に第2半導体チップを実装する工程と、
前記第2キャリア基板の少なくとも1個の頂点の周囲を避けるようにして、前記第2キャリア基板の裏面に第1突出電極を形成する工程と、
前記第1突出電極の配置が行われていない前記第2キャリア基板の頂点の周囲に第1突出部を形成する工程と、
前記第1突出部が前記第1半導体チップ上に配置されるようにして、前記第1突出電極を第1キャリア基板上に接合する工程とを備えることを特徴とする半導体装置の製造方法。

【請求項14】 第3キャリア基板上に第3半導体チップを実装する工程と、
前記第3キャリア基板の少なくとも1個の頂点の周囲を避けるようにして、前記第3キャリア基板の裏面に第2突出電極を形成する工程と、
前記第2突出電極の配置が行われていない前記第3キャリア基板の頂点の周囲に第2突出部を形成する工程と、
前記第2突出部が前記第1半導体チップ上に配置されるようにして、前記第2突出電極を第1キャリア基板上に接合する工程とをさらに備えることを特徴とする請求項13記載の半導体装置の製造方法。

【請求項15】 第1キャリア基板上に第1電子部品を実装する工程と、
第2キャリア基板上に第2電子部品を実装する工程と、
前記第2キャリア基板の少なくとも1個の頂点の周囲を避けるようにして、前記第2キャリア基板の裏面に第1突出電極を形成する工程と、
前記第1突出電極の配置が行われていない前記第2キャリア基板の頂点の周囲に第1突出部を形成する工程と、
前記第1突出部が前記第1電子部品上に配置されるようにして、前記第1突出電極を第1キャリア基板上に接合する工程とを備えることを特徴とする電子デバイスの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置、電子デバイス、電子機器、半導体装置の製造方法および電子デバイスの製造方法に関し、特に、半導体パッケージなどの積層構造に適用して好適なものである。

【0002】**【従来の技術】**

従来の半導体装置では、半導体チップ実装時の省スペース化を図るため、同種のキャリア基板を介在させながら半導体チップを3次元実装する方法がある。

【0003】**【発明が解決しようとする課題】**

しかしながら、同種のキャリア基板を介在させながら半導体チップを3次元実装する方法では、異種パッケージの積層が困難となり、異種チップの積層が困難となるという問題があった。一方、異種パッケージを単に積層すると、パッケージサイズが統一されていないため、異種パッケージの実装状態が不安定になることがあるという問題がある。

【0004】

そこで、本発明の目的は、異種パッケージの3次元実装を安定して行うことが可能な半導体装置、電子デバイス、電子機器、半導体装置の製造方法および電子デバイスの製造方法を提供することである。

【0005】**【課題を解決するための手段】**

上述した課題を解決するために、本発明の一態様に係る半導体装置によれば、第1半導体チップが搭載された第1半導体パッケージと、前記第1半導体チップ上に端部が配置されるようにして、前記第1半導体パッケージ上に支持された第2半導体パッケージと、前記第2半導体パッケージの端部を前記第1半導体チップ上で支持する第1突出部とを備えることを特徴とする。

【0006】

これにより、第1半導体パッケージのサイズと第2半導体パッケージのサイズが異なる場合においても、第1半導体チップが搭載された第1半導体パッケージ

上に第2半導体パッケージを積層させることが可能となるとともに、第2半導体パッケージの端部が第1半導体チップ上に配置されている場合においても、第2半導体パッケージを第1半導体チップ上で安定して支えることが可能となる。このため、異種パッケージの配置位置に柔軟性を持たせつつ、異種パッケージの3次元実装を安定して行うことが可能となり、省スペース化の実効性を向上させることが可能となる。

【0007】

また、本発明の一態様に係る半導体装置によれば、前記第1半導体チップ上に端部が配置されるようにして、前記第1半導体パッケージ上に支持された第3半導体パッケージと、前記第3半導体パッケージの端部を前記第1半導体チップ上で支持する第2突出部とをさらに備えることを特徴とする。

これにより、第2半導体パッケージおよび第3半導体パッケージの安定性を保持しつつ、第2半導体パッケージおよび第3半導体パッケージ第1半導体チップ上に配置することが可能となり、同一の第1半導体チップ上に複数の半導体パッケージを安定して配置することが可能となることから、実装面積をより一層縮小することが可能となる。

【0008】

また、本発明の一態様に係る半導体装置によれば、前記第2半導体パッケージと前記第3半導体パッケージとは離間していることを特徴とする。

これにより、第2半導体パッケージおよび第3半導体パッケージを第1半導体チップ上に配置した場合においても、第2半導体パッケージおよび第3半導体パッケージの安定性を保持しつつ、第1半導体チップから発生する熱を第2半導体パッケージと第3半導体パッケージとの間の隙間から逃がすことが可能となる。このため、第1半導体チップの信頼性の劣化を抑制しつつ、同一の第1半導体チップ上に複数の半導体パッケージを配置することが可能となり、動作不良を抑止しつつ、実装面積を縮小することが可能となる。

【0009】

また、本発明の一態様に係る半導体装置によれば、前記第2半導体パッケージと前記第3半導体パッケージとは、サイズ、厚みまたは材質の少なくともいずれ

か1つが異なることを特徴とする。

これにより、同一半導体チップ上に複数の異種パッケージを安定して配置することが可能となり、実装面積をより一層縮小することが可能となるとともに、パッケージ間で生じる反りを相殺させることが可能となり、パッケージ間の接続信頼性を向上させることが可能となる。

【0010】

また、本発明の一態様に係る半導体装置によれば、前記第2半導体パッケージと前記第3半導体パッケージとの間の隙間、第1半導体パッケージと前記第2半導体パッケージとの間の隙間、または第1半導体パッケージと前記第3半導体パッケージとの間の隙間の少なくともいずれか1つの隙間には樹脂が充填されていることを特徴とする。

【0011】

これにより、半導体パッケージ間の隙間に充填された樹脂により、半導体パッケージに発生する応力を緩和することが可能となる。このため、半導体パッケージの耐衝撃性を向上させることが可能となり、複数の半導体パッケージを積層した場合においても、半導体パッケージの信頼性を確保することが可能となる。

また、本発明の一態様に係る半導体装置によれば、前記第1半導体パッケージは、前記第1半導体チップがフリップチップ実装された第1キャリア基板を備え、前記第2半導体パッケージは、第2半導体チップと、前記第2半導体チップが実装された第2キャリア基板と、前記第1キャリア基板上に接合され、前記第1半導体チップ上に前記第2キャリア基板を保持する突出電極と、前記第2半導体チップを封止する封止材とを備えることを特徴とする。

【0012】

これにより、第1キャリア基板上に突出電極を接合することで、高さの増大を抑制しつつ、異種パッケージを積層させることが可能となり、実装面積を縮小することが可能となる。

また、本発明の一態様に係る半導体装置によれば、前記第1半導体パッケージは、前記第1キャリア基板上に前記第1半導体チップがフリップチップ実装されたボールグリッドアレイ、前記第2半導体パッケージは、前記第2キャリア基板

上に搭載された前記第2半導体チップがモールド封止されたボールグリッドアレイまたはチップサイズパッケージであることを特徴とする。

【0013】

これにより、汎用パッケージを用いた場合においても、異種パッケージを積層することが可能となり、生産効率の劣化を抑制しつつ、実装面積を縮小することが可能となる。

また、本発明の一態様に係る半導体装置によれば、前記突出電極は、前記第1半導体チップの搭載領域を避けるようにして前記第2キャリア基板に配置され、前記突出部は、前記第2キャリア基板が四隅で支えられるように配置されていることを特徴とする。

【0014】

これにより、突出電極が第2キャリア基板上に片寄って分布している場合においても、キャリア基板を四隅で安定して支えることが可能となり、同一の半導体チップ上に複数のキャリア基板を安定して配置することが可能となる。

また、本発明の一態様に係る半導体装置によれば、前記第1半導体チップは論理演算素子、前記第2半導体チップは記憶素子であることを特徴とする。

【0015】

これにより、実装面積の増大を抑制しつつ、様々な機能を実現することが可能となるとともに、記憶素子のスタック構造を容易に実現することが可能となり、記憶容量を容易に増加させることが可能となる。

また、本発明の一態様に係る半導体装置によれば、前記第2半導体チップは3次元実装構造を含むことを特徴とする。

【0016】

これにより、種類またはサイズが異なる第2半導体チップを第1半導体チップ上に複数積層することが可能となり、様々な機能を持たせることを可能としつつ、半導体チップ実装時の省スペース化を図ることが可能となる。

また、本発明の一態様に係る半導体デバイスによれば、電子部品が搭載された第1パッケージと、前記電子部品上に端部が配置されるようにして、前記第1パッケージ上に支持された第2パッケージと、前記第2パッケージの端部を前記電

子部品上で支持する突出部とを備えることを特徴とする。

【0017】

これにより、第1パッケージと第2パッケージの種類が異なる場合においても、3次元実装を安定して行うことが可能となり、配置の自由度を増大させつつ、異種部品の積層を安定して行うことが可能となるから、省スペース化の実効性を向上させることが可能となる。

また、本発明の一態様に係る電子機器によれば、半導体チップが搭載された第1半導体パッケージと、前記半導体チップ上に端部が配置されるようにして、前記第1半導体パッケージ上に支持された第2半導体パッケージと、前記第2半導体パッケージの端部を前記半導体チップ上で支持する突出部と、前記第2半導体パッケージが実装されたマザー基板とを備えることを特徴とする。

【0018】

これにより、半導体チップが搭載された異種パッケージの3次元実装構造を実現することが可能となり、電子機器の動作不良を抑制しつつ、電子機器の小型・軽量化を図ることが可能となるとともに、電子機器の機能性を向上させることが可能となる。

また、本発明の一態様に係る半導体装置の製造方法によれば、第1キャリア基板上に第1半導体チップを実装する工程と、第2キャリア基板上に第2半導体チップを実装する工程と、前記第2キャリア基板の少なくとも1個の頂点の周囲を避けるようにして、前記第2キャリア基板の裏面に第1突出電極を形成する工程と、前記第1突出電極の配置が行われていない前記第2キャリア基板の頂点の周囲に第1突出部を形成する工程と、前記第1突出部が前記第1半導体チップ上に配置されるようにして、前記第1突出電極を第1キャリア基板上に接合する工程とを備えることを特徴とする。

【0019】

これにより、第2キャリア基板の端部が第1半導体チップ上に配置されている場合においても、第2キャリア基板を第1半導体チップ上で安定して支えることが可能となるとともに、第1突出電極を第1キャリア基板に接合することで、第1キャリア基板上に第2キャリア基板を積層させることが可能となり、製造工程

の煩雑化を抑制しつつ、省スペース化の実効性を向上させることが可能となる。

【0020】

また、本発明の一態様に係る半導体装置の製造方法によれば、第3キャリア基板上に第3半導体チップを実装する工程と、前記第3キャリア基板の少なくとも1個の頂点の周囲を避けるようにして、前記第3キャリア基板の裏面に第2突出電極を形成する工程と、前記第2突出電極の配置が行われていない前記第3キャリア基板の頂点の周囲に第2突出部を形成する工程と、前記第2突出部が前記第1半導体チップ上に配置されるようにして、前記第2突出電極を第1キャリア基板上に接合する工程とをさらに備えることを特徴とする。

【0021】

これにより、キャリア基板の端部が半導体チップ上に配置されている場合においても、同一半導体チップ上で複数のキャリア基板を安定して保持することが可能となり、製造工程の煩雑化を抑制しつつ、実装面積をより一層縮小することが可能となる。

また、本発明の一態様に係る電子デバイスの製造方法によれば、第1キャリア基板上に第1電子部品を実装する工程と、第2キャリア基板上に第2電子部品を実装する工程と、前記第2キャリア基板の少なくとも1個の頂点の周囲を避けるようにして、前記第2キャリア基板の裏面に第1突出電極を形成する工程と、前記第1突出電極の配置が行われていない前記第2キャリア基板の頂点の周囲に第1突出部を形成する工程と、前記第1突出部が前記第1電子部品上に配置されるようにして、前記第1突出電極を第1キャリア基板上に接合する工程とを備えることを特徴とする。

【0022】

これにより、第2キャリア基板の端部が第1電子部品上に配置されている場合においても、第1電子部品上に第2電子部品を安定して配置することが可能となり、製造工程の煩雑化を抑制しつつ、実装面積を縮小することが可能となる。

【0023】

【発明の実施の形態】

以下、本発明の実施形態に係る半導体装置、電子デバイスおよびそれら製造方

法について図面を参照しながら説明する。

図1は、本発明の第1実施形態に係る半導体装置の構成を示す断面図、図2は、本発明の第1実施形態に係る半導体装置の概略構成を示す平面図である。なお、この第1実施形態は、半導体チップ（または半導体ダイ）13がACF接合により実装された半導体パッケージPK11上に、スタックド構造の半導体チップ（または半導体ダイ）23a～23cがワイヤボンド接続された半導体パッケージPK12およびスタックド構造の半導体チップ（または半導体ダイ）33a～33cがワイヤボンド接続された半導体パッケージPK13をそれぞれ積層したものである。

【0024】

図1において、半導体パッケージPK11にはキャリア基板11が設けられ、キャリア基板11の両面にはランド12a、12cがそれぞれ形成されるとともに、キャリア基板11内には内部配線12bが形成されている。そして、キャリア基板11上には半導体チップ13がフリップチップ実装され、半導体チップ13には、フリップチップ実装するための突出電極14が設けられている。そして、半導体チップ13に設けられた突出電極14は、異方性導電シート15を介してランド12c上にACF（Anisotropic Conductive Film）接合されている。また、キャリア基板11の裏面に設けられたランド12a上には、キャリア基板11をマザー基板上に実装するための突出電極16が設けられている。

【0025】

ここで、ACF接合により半導体チップ13をキャリア基板11上に実装することにより、ワイヤボンドやモールド封止するためのスペースが不要となり、3次元実装時の省スペース化を図ることが可能となるとともに、半導体チップ13をキャリア基板11上に接合する際の低温化を図ることが可能となり、実際の使用時のキャリア基板11の反りを低減することが可能となる。

【0026】

一方、半導体パッケージPK12、PK13にはキャリア基板21、31がそれぞれ設けられている。そして、キャリア基板21、31の裏面にはランド22

a、22a'、32a、32a'がそれぞれ形成されるとともに、キャリア基板21、31の表面にはランド22c、32cがそれぞれ形成され、キャリア基板21、31内には内部配線22b、32bがそれぞれ形成されている。

【0027】

そして、ランド22a、32a上には突出電極26、36をそれぞれ配置し、ランド22a'、32a'は、突出電極26、36が配置されないまま残しておくことができる。ここで、突出電極26、36が未配置のまま残されたランド22a'、32a'をキャリア基板21、31にそれぞれ設けることにより、突出電極26、36の配置位置を調整することが可能となる。このため、キャリア基板11上に実装される半導体チップ13の種類やサイズが変更された場合においても、キャリア基板21、31の構成を変更することなく、突出電極26、36を配置し直すことが可能となり、キャリア基板21、31の汎用化を図ることが可能となる。

【0028】

そして、キャリア基板21、31上には、接着層24a、34aをそれぞれ介し半導体チップ23a、33aがそれぞれフェースアップ実装され、半導体チップ23a、33aは、導電性ワイヤ25a、35aをそれぞれ介してランド22c、32cにそれぞれワイヤボンダ接続されている。さらに、半導体チップ23a、33a上には、導電性ワイヤ25a、35aを避けるようにして、半導体チップ23b、33bがそれぞれフェースアップ実装され、半導体チップ23b、33bは、接着層24b、34bをそれぞれ介して半導体チップ23a、33a上にそれぞれ固定されるとともに、導電性ワイヤ25b、35bをそれぞれ介してランド22c、32cにそれぞれワイヤボンダ接続されている。さらに、半導体チップ23b、33b上には、導電性ワイヤ25b、35bを避けるようにして、半導体チップ23c、33cがそれぞれフェースアップ実装され、半導体チップ23c、33cは、接着層24c、34cをそれぞれ介して半導体チップ23b、33b上にそれぞれ固定されるとともに、導電性ワイヤ25c、35cをそれぞれ介してランド22c、32cにそれぞれワイヤボンダ接続されている。

【0029】

また、キャリア基板 21、31 の裏面にそれぞれ設けられたランド 22a、32a 上には、キャリア基板 21、31 が半導体チップ 13 上にそれぞれ保持されるようにして、キャリア基板 21、31 をキャリア基板 11 上にそれぞれ実装するための突出電極 26、36 がそれぞれ設けられている。ここで、突出電極 26、36 は、半導体チップ 13 の配置領域をそれぞれ避けるようにして、キャリア基板 21、31 にそれぞれ配置することが好ましく、例えば、キャリア基板 21、31 の 2 辺に沿って L 字状に配置することができる。

【0030】

また、キャリア基板 21、31 の裏面には、キャリア基板 21、31 の端部を半導体チップ 13 上で保持する突出部 28、38 がそれぞれ設けられている。これにより、キャリア基板 21、31 の端部が半導体チップ 13 上にそれぞれ配置されるようにして、キャリア基板 21、31 をキャリア基板 11 上にそれぞれ実装した場合においても、キャリア基板 21、31 をキャリア基板 11 上で安定して保持することが可能となり、キャリア基板 21、31 の配置の自由度を増大させつつ、異種パッケージ PK11～PK13 の 3 次元実装を安定して行うことが可能となる。

【0031】

そして、突出部 28、38 を半導体チップ 13 上にそれぞれ接触させた状態で、キャリア基板 11 上に設けられたランド 12c に突出電極 26、36 をそれぞれ接合させることにより、キャリア基板 21、31 の端部がそれぞれ半導体チップ 13 上に配置されるようにして、キャリア基板 21、31 をキャリア基板 11 上にそれぞれ実装する。これにより、同一の半導体チップ 13 上に複数の半導体パッケージ PK12、PK13 を安定して配置することが可能となり、実装面積の縮小を可能としつつ、異種の半導体チップ 13、23a～23c、33a～33c の 3 次元実装を図ることが可能となる。

【0032】

ここで、半導体チップ 13 としては、例えば、CPU などの論理演算素子、半導体チップ 23a～23c、33a～33c としては、例えば、DRAM、SRAM、EEPROM、フラッシュメモリなどの記憶素子を用いることができる。

これにより、実装面積の増大を抑制しつつ、様々の機能を実現することが可能となるとともに、記憶素子のスタック構造を容易に実現することが可能となり、記憶容量を容易に増加させることが可能となる。

【0033】

なお、キャリア基板 21、31 をキャリア基板 11 上にそれぞれ実装する場合、キャリア基板 21 とキャリア基板 31 とは、側壁が密着していてもよいし、側壁が離れていてもよい。ここで、キャリア基板 21 とキャリア基板 31 の側壁を密着させることにより、半導体パッケージ PK11 上に実装される半導体パッケージ PK12、PK13 の実装密度を向上させることが可能となり、省スペース化を図ることが可能となる。一方、キャリア基板 21 とキャリア基板 31 の側壁を離間させることにより、半導体チップ 13 から発生する熱を半導体パッケージ PK12、PK13 間の隙間から逃がすことが可能となり、半導体チップ 13 から発生する熱の放散性を向上させることが可能となる。

【0034】

また、半導体チップ 23a～23c、33a～33c の実装面側のキャリア基板 21、31 の一面全体に封止樹脂 27、37 がそれぞれ設けられ、この封止樹脂 27、37 により半導体チップ 23a～23c、33a～33c がそれぞれ封止されている。ここで、封止樹脂 27、37 で半導体チップ 23a～23c、33a～33c をそれぞれ封止する場合、例えば、エポキシ樹脂などの熱硬化性樹脂を用いたモールド成形などにより行うことができる。

【0035】

なお、キャリア基板 11、21、31 としては、例えば、両面基板、多層配線基板、ビルドアップ基板、テープ基板またはフィルム基板などを用いることができ、キャリア基板 11、21、31 の材質としては、例えば、ポリイミド樹脂、ガラスエポキシ樹脂、BTレジン、アラミドとエポキシのコンポジットまたはセラミックなどを用いることができる。また、突出電極 16、26、36 としては、例えば、Auバンプ、半田材などで被覆されたCuバンプやNiバンプ、あるいは半田ボールなどを用いることができ、導電性ワイヤ 25a～25c、35a～35c としては、例えば、AuワイヤやAlワイヤなどを用いることができる。

。また、突出部 28、38 としては、半田ボールなどの突出電極を用いるようにしてもよいし、樹脂などの緩衝部材を用いるようにしてもよい。また、上述した実施形態では、キャリア基板 21、31 をキャリア基板 11 上にそれぞれ実装するために、突出電極 26、36 をキャリア基板 26、36 のランド 22a、32a 上にそれぞれ設ける方法について説明したが、突出電極 26、36 をキャリア基板 11 のランド 12c 上に設けるようにしてもよい。

【0036】

また、上述した実施形態では、ACF 接合により半導体チップ 13 をキャリア基板 11 上に実装する方法について説明したが、例えば、NCF (Nonconductive Film) 接合、ACP (Anisotropic Conductive Paste) 接合、NCP (Nonconductive Paste Film) 接合などのその他の接着剤接合を用いるようにしてもよく、半田接合や合金接合などの金属接合を用いるようにしてもよい。また、半導体チップ 23a~23c、33a~33c をキャリア基板 21、31 上にそれぞれ実装する場合、ワイヤボンダ接続を用いる方法について説明したが、キャリア基板 21、31 上に半導体チップ 23a~23c、33a~33c をフリップチップ実装するようにしてもよい。さらに、上述した実施形態では、キャリア基板 11 上に半導体チップ 13 を 1 個だけ実装する方法を例にとって説明したが、キャリア基板 11 上に複数の半導体チップを実装するようにしてもよい。

【0037】

また、半導体パッケージ PK11、PK12、PK13 間の隙間には、樹脂を充填するようにしてもよい。これにより、半導体パッケージ PK11、PK12、PK13 の耐衝撃性を向上させることが可能となり、突出電極 26、36 の根元に残留応力が集中した場合においても、突出電極 26、36 にクラックが誘発されることを防止することが可能となることから、半導体パッケージ PK11、PK12、PK13 の信頼性を向上させることが可能となる。

【0038】

図 2 は、本発明の第 2 実施形態に係る突出電極の配置方法を示す平面図である。なお、この第 2 実施形態は、キャリア基板 42a~42d を半導体チップ 41

上に4分割配置するとともに、突出部44a～44dを介してキャリア基板42a～42dの端部を半導体チップ41上で支えるようにしたものである。

図2において、キャリア基板42a～42dには、各キャリア基板42a～42dの頂点A1～D1にそれぞれ交わる2辺に沿って、突出電極43a～43dがL字状にそれぞれ配置されている。そして、キャリア基板42a～42dの頂点A1～D1にそれぞれ対向する頂点A1'～D1'に交わる2辺に沿って、突出電極43a～43dの未配置領域がそれぞれ設けられている。また、キャリア基板42a～42dの頂点A1'～D1'の周囲には、キャリア基板42a～42dの端部を半導体チップ41上で支える突出部44a～44dが設けられている。

【0039】

そして、キャリア基板42a～42dにそれぞれ設けられた突出部44a～44dが半導体チップ41上にそれぞれ接触するようにして、キャリア基板42a～42dに設けられた突出電極43a～43dが、半導体チップ41が搭載された下層基板上に接合されている。これにより、突出電極43a～43dがキャリア基板42a～42d上に片寄って分布している場合においても、キャリア基板42a～42dを安定して支えることが可能となり、同一の半導体チップ41上に複数のキャリア基板42a～42dを安定して配置することが可能となる。

【0040】

なお、上述した実施形態では、キャリア基板42a～42dを半導体チップ41上に4分割配置する方法について説明したが、2分割配置または3分割配置でもよく、5分割以上の配置でもよい。また、上述した実施形態では、各キャリア基板42a～42dの辺に沿って、突出電極43a～43dをL字状にそれぞれ配置する方法について説明したが、L字状以外の配置でもよい。

【0041】

図3は、本発明の第3実施形態に係る半導体装置の製造方法を示す断面図である。なお、この第3実施形態は、半導体チップ103上に端部がかかるようにして、半導体パッケージPK21上に半導体パッケージPK22、PK23を実装するとともに、突出部115、125を介し半導体パッケージPK22、PK2

3の端部を半導体チップ103上でそれぞれ支持するようにしたものである。

【0042】

図3(a)において、半導体パッケージPK21にはキャリア基板101が設けられ、キャリア基板101の両面にはランド102a、102bがそれぞれ形成されている。そして、キャリア基板101上には半導体チップ103がフリップチップ実装され、半導体チップ103には、フリップチップ実装するための突出電極104が設けられている。そして、半導体チップ103に設けられた突出電極104は、異方性導電シート105を介してランド102b上にACF接合されている。

【0043】

一方、半導体パッケージPK22、PK23にはキャリア基板111、121がそれぞれ設けられ、キャリア基板111、121の裏面にはランド112、122がそれぞれ形成されている。また、キャリア基板111、121上には半導体チップがそれぞれ実装され、半導体チップが実装されたキャリア基板111、121の一面全体は、封止樹脂114、124でそれぞれ封止されている。なお、キャリア基板111、121上には、ワイヤボンダ接続された半導体チップを実装するようにしてもよいし、半導体チップをフリップチップ実装するようにしてもよく、半導体チップの積層構造を実装するようにしてもよい。

【0044】

次に、図3(b)に示すように、半導体チップ103の搭載領域を避けるようにして、半田ボールなどの突出電極113、123をランド112、122上にそれぞれ形成する。また、キャリア基板111、121の端部を半導体チップ103上で支えることが可能な位置に突出部115、125を形成する。

次に、図3(c)に示すように、キャリア基板111、121の端部を突出部115、125で支持させながら、半導体パッケージPK21上に半導体パッケージPK22、PK23をマウントする。そして、リフロー処理を行うことにより、突出電極113、123をランド102b上にそれぞれ接合させる。

【0045】

次に、図3(d)に示すように、キャリア基板101の裏面に設けられたラン

ド 102 a 上に、キャリア基板 101 をマザー基板上に実装するための突出電極 106 を形成する。

なお、上述した半導体装置および電子デバイスは、例えば、液晶表示装置、携帯電話、携帯情報端末、ビデオカメラ、デジタルカメラ、MD (Mini Disc) プレーヤなどの電子機器に適用することができ、電子機器の機能性の向上を可能としつつ、電子機器の小型・軽量化を図ることが可能となる。

【0046】

また、上述した実施形態では、半導体チップまたは半導体パッケージを実装する方法を例にとって説明したが、本発明は、必ずしも半導体チップまたは半導体パッケージを実装する方法に限定されることなく、例えば、弾性表面波 (SAW) 素子などのセラミック素子、光変調器や光スイッチなどの光学素子、磁気センサやバイオセンサなどの各種センサ類などを実装するようにしてもよい。

【図面の簡単な説明】

【図 1】 第 1 実施形態に係る半導体装置の構成を示す断面図。

【図 2】 第 2 実施形態に係る半導体装置の構成を示す平面図。

【図 3】 第 3 実施形態に係る半導体装置の製造方法を示す断面図。

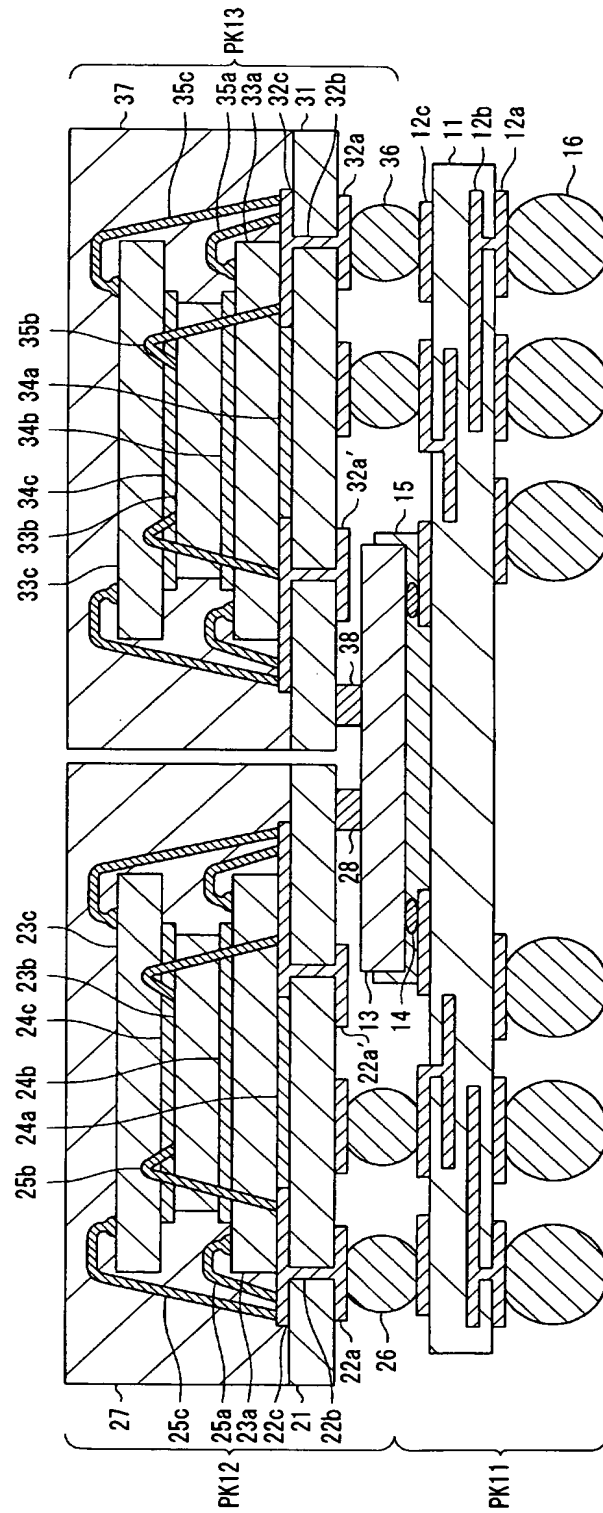
【符号の説明】

11、21、31、42 a ~ 42 d、101、111、121 キャリア基板、12 a、12 c、22 a、22 a'、22 c、32 a、32 a'、32 c、102 a、102 b、112、122 ランド、12 b 内部配線、13、23 a ~ 23 c、33 a ~ 33 c、41、103 半導体チップ、14、16、26、36、43 a ~ 43 d、104、106、113、123 突出電極、15、105 異方性導電シート、24 a ~ 24 c、34 a ~ 34 c、接着層、25 a ~ 25 c、35 a ~ 35 c 導電性ワイヤ、27、37、114、124 封止樹脂、28、38、44 a ~ 44 d、115、125 突出部、PK11 ~ PK13、PK21 ~ PK23、PK31 ~ PK33、PK41 ~ PK43 半導体パッケージ

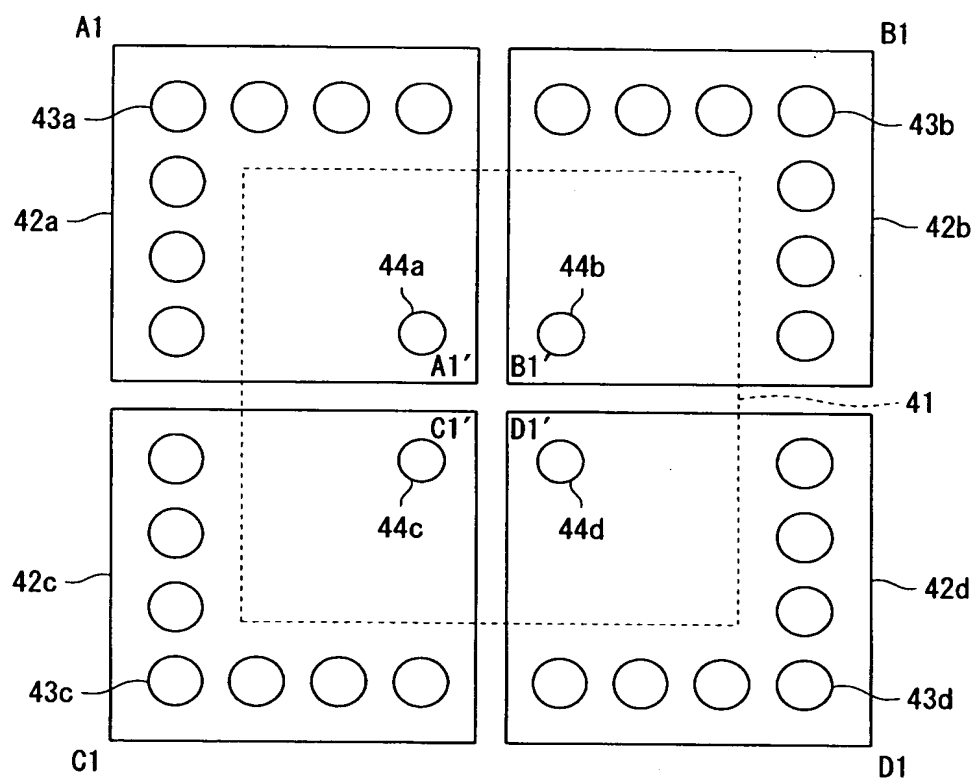
【書類名】

図面

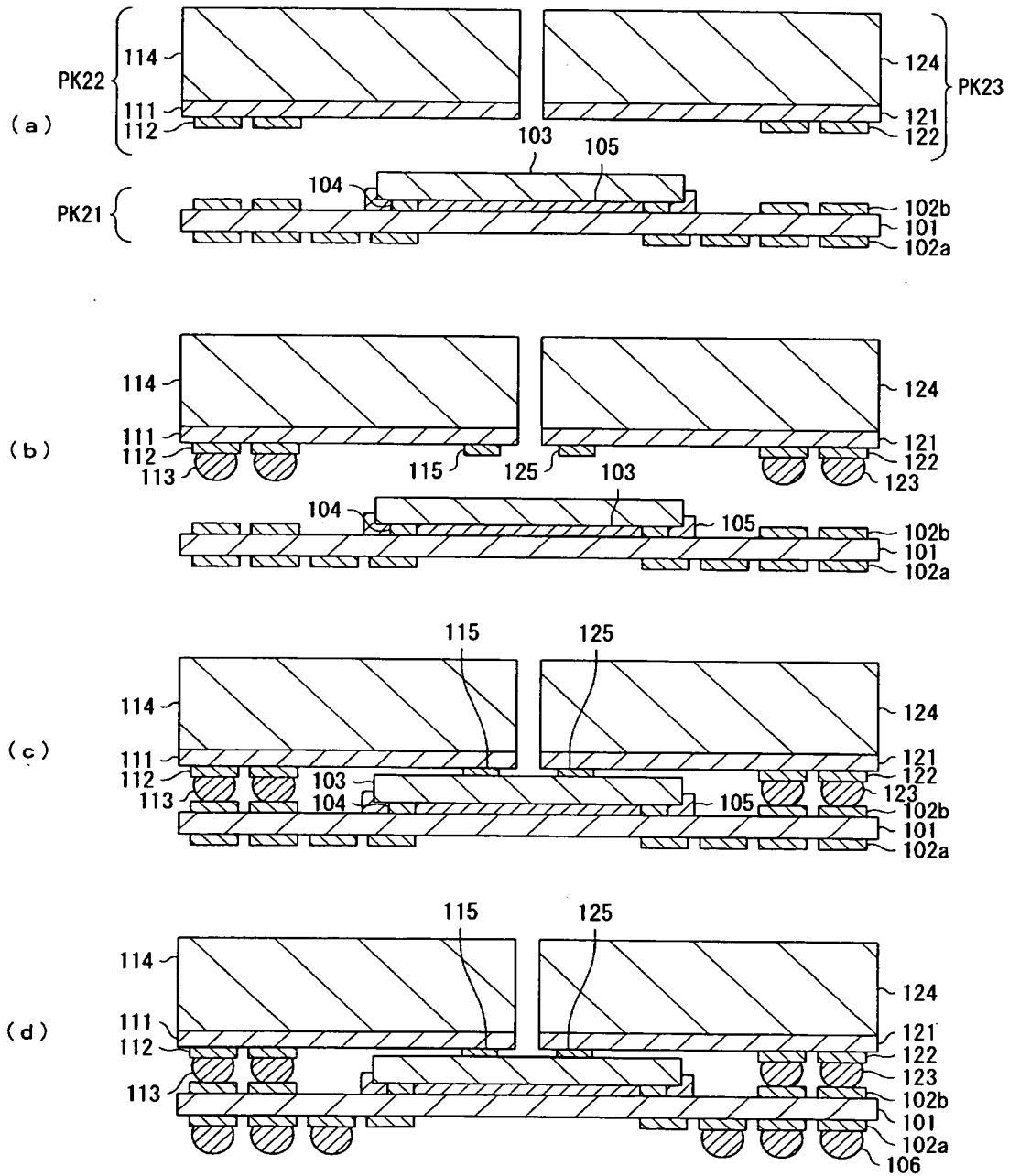
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 異種パッケージの 3 次元実装を安定して行う。

【解決手段】 突出部 2 8、3 8 を半導体チップ 1 3 上にそれぞれ接触させた状態で、キャリア基板 1 1 上に設けられたランド 1 2 c に突出電極 2 6、3 6 をそれぞれ接合させることにより、キャリア基板 2 1、3 1 の端部がそれぞれ半導体チップ 1 3 上に配置されるようにして、キャリア基板 2 1、3 1 をキャリア基板 1 1 上にそれぞれ実装する

【選択図】 図 1

特願 2 0 0 3 - 0 7 2 5 6 5 ,

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 2 3 6 9]

1 . 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社